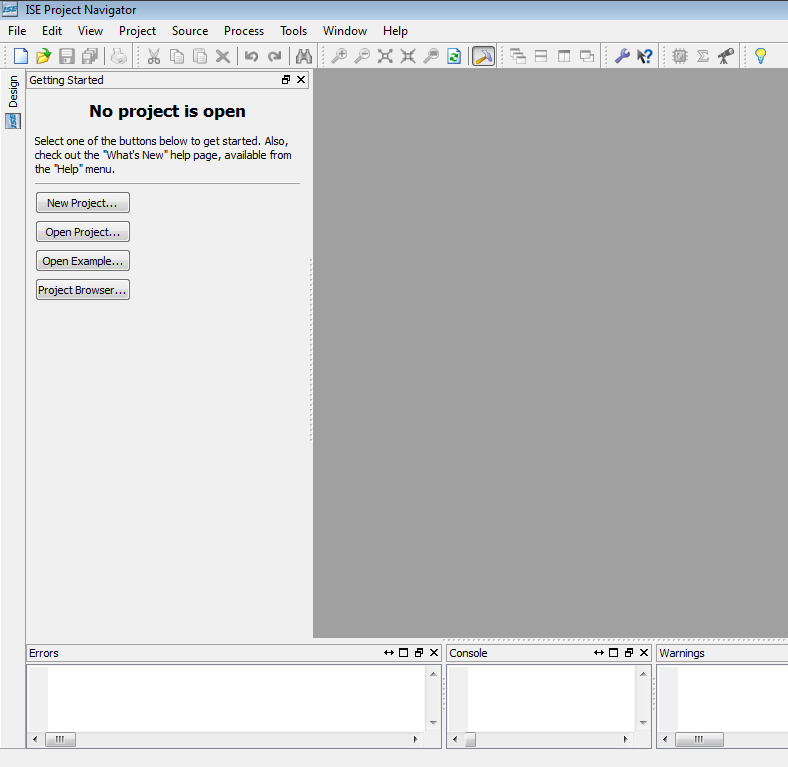
**تعريف بالبيئة البرمجية Xilinx ISE 11.1**

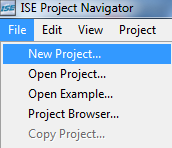
**خطوات إنشاء تصمیم بطریقة البرمجة النصیة بلغة VHDL :**

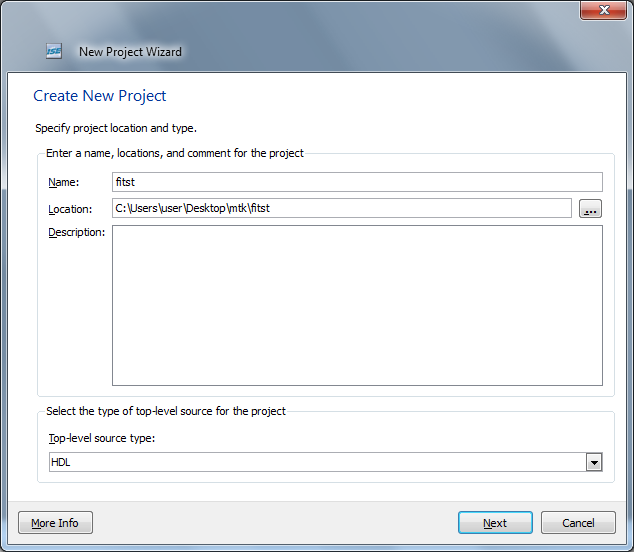
تشغیل البرمجیة من خلال الملف التنفیذي Xilinx ISE Project Navigator.



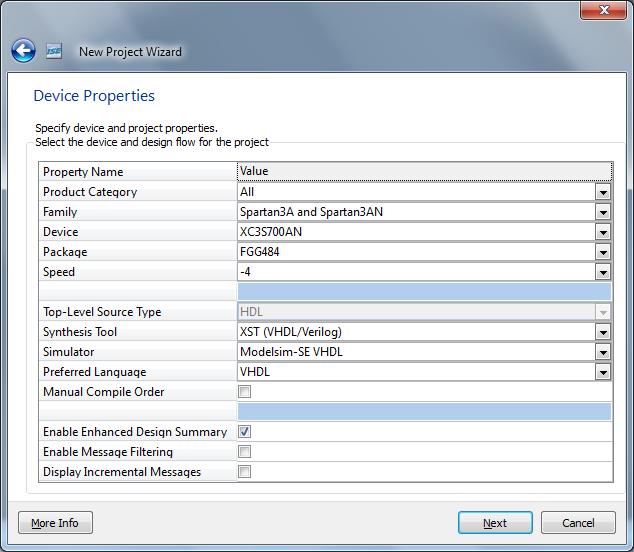


من القائمة: New نختار إعداد المشروع الجديد new project وفق الخطوات التي سوف تعرض تباعاً من خلال محطات أساسية في تهيئة المشروع :



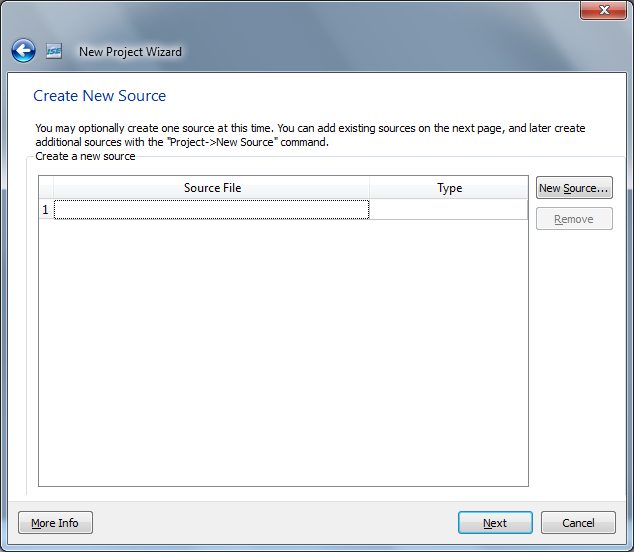


* تحديد اسم المشروع ومسار تخزينه على القرص الصلب , و اختيار HDL كنوع لملفات المشروع و ذلك من قائمة Top Level source type, ثم نضغط على NEXT .
* ثم نحدد الشريحة التي سوف تبرمج من خلال هذا المشروع و بياناتها الأساسية (Family-Device-package-speed).
* البرمجيات المساعدة في التصميم ( أداة التحليل و برنامج المحاكاة و اللغة التي سنوصف المشروع بها) .
* ثم نضغط على NEXT .



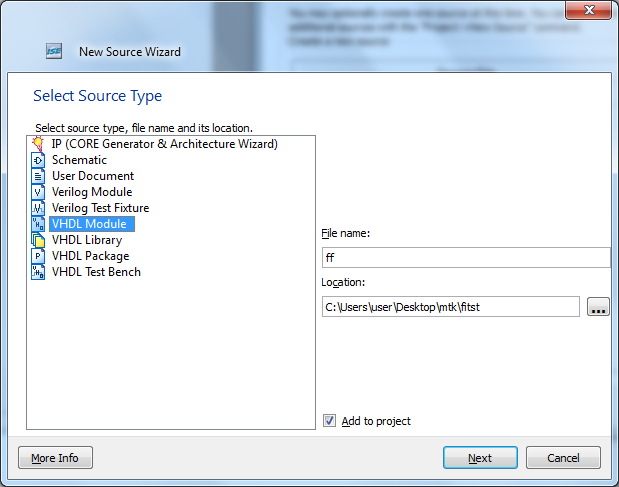
**Project Device Properties**

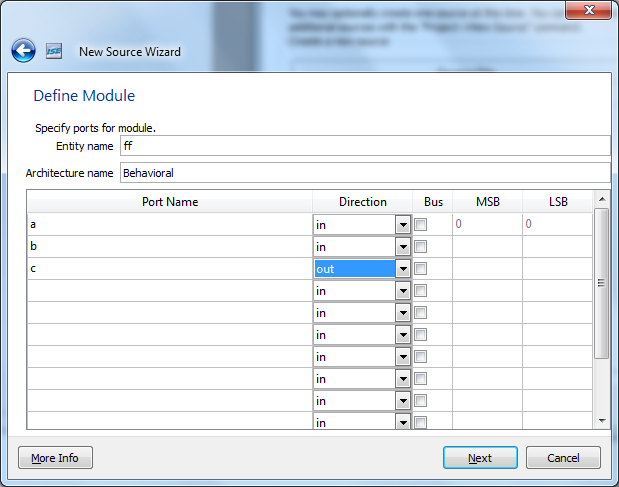
* الخطوة التالية ، هي انشاء ملف التصميم .



Create new source

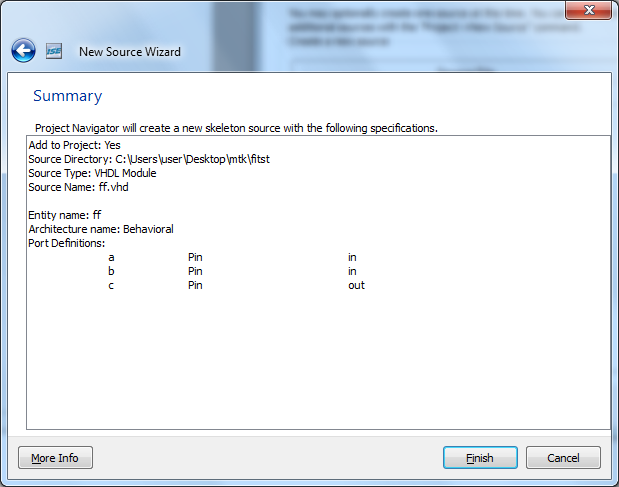
* عند الضغط على new source تظهر لدينا النافذة التالية لاختيار نوع الملف الذي نريد انشاؤه , نختار VHDL Module , و نسمي هذا الملف بنفس اسم الكيان الخارجي للتصميم Entity , و نتأكد من أن خيار (checkbox)اضافة هذا الملف الى المشروع مفعل .

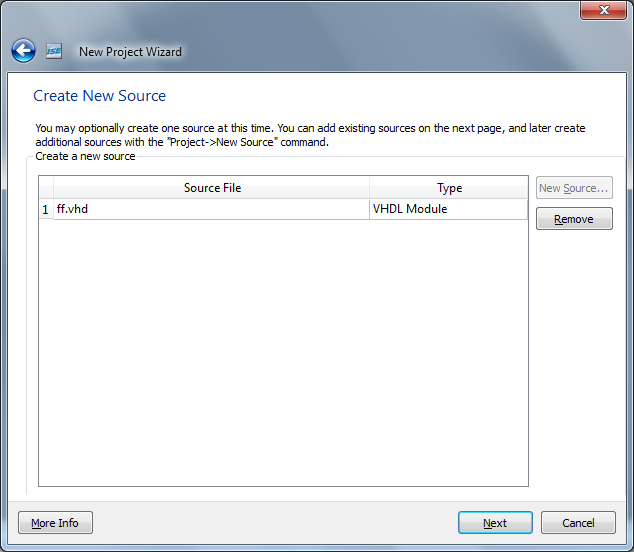




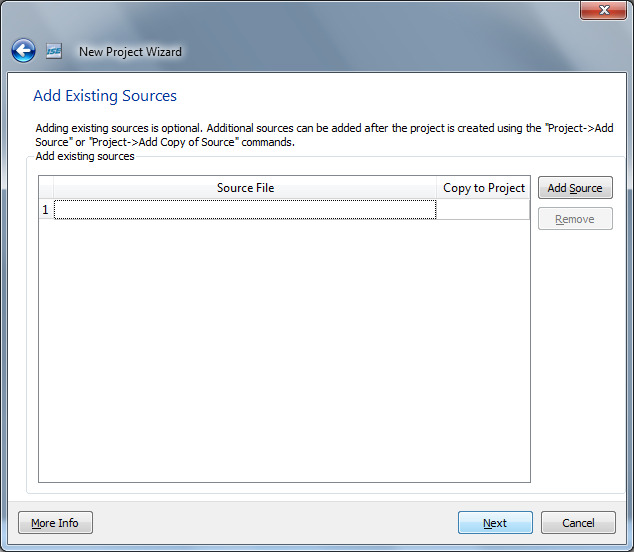
**Define Module**

* نحدد مداخل و مخارج التصميم , بالاضافة الى عدد خانات كل منفذ .....
* في نهاية خطوات انشاء الملف يعرض علينا البرنامج ملخصاً لما اخترناه في المحطات السابقة, نضغط بعدها على Finish للدخول إلى المشروع, وبدء العمليات البرمجية والتحليل .

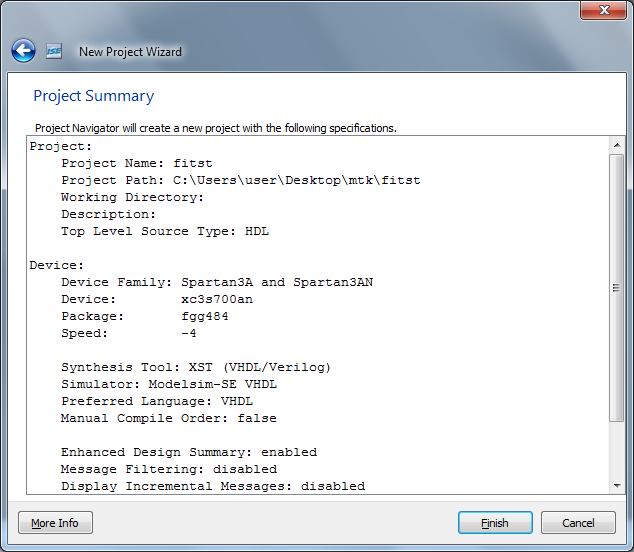




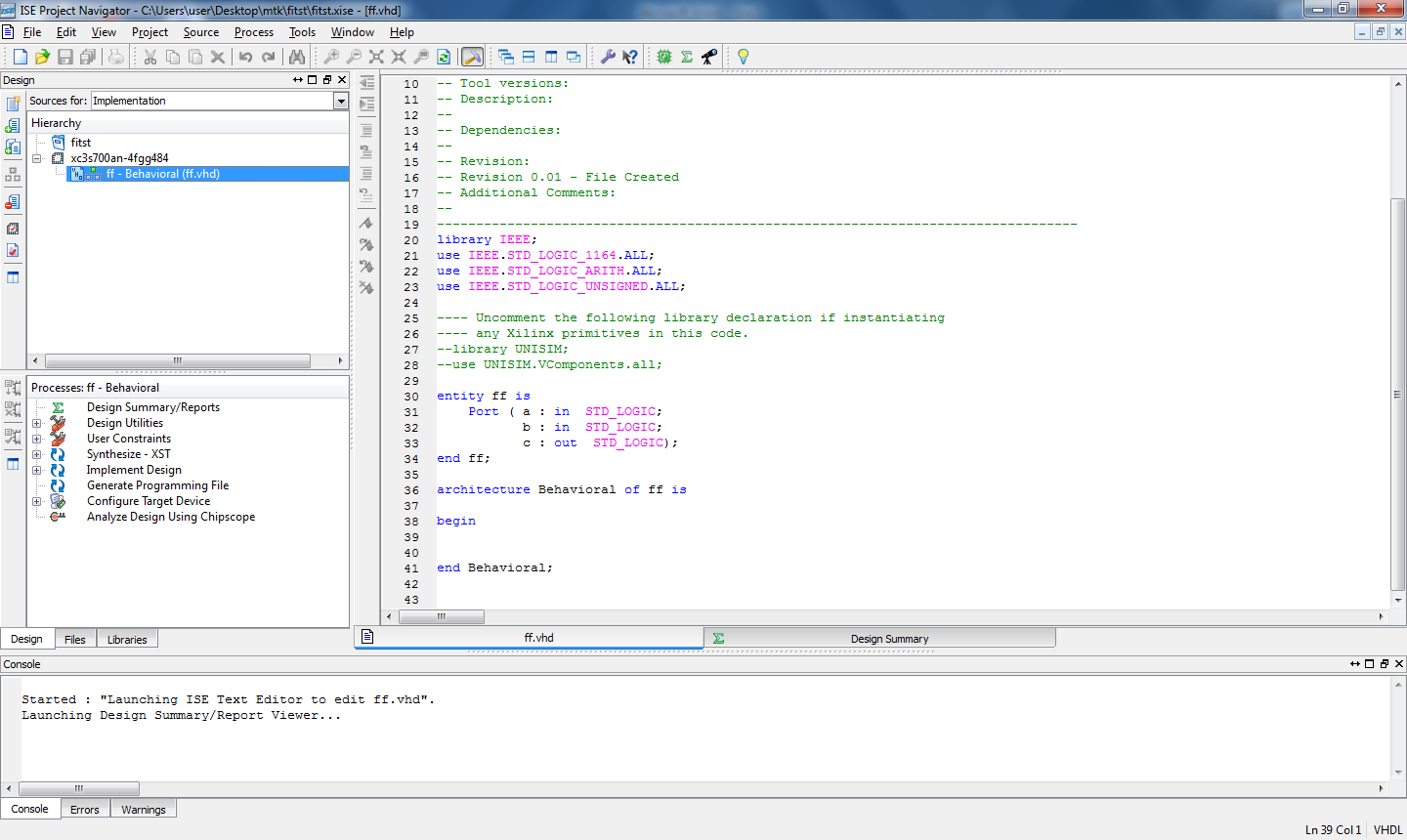
* نلاحظ ملف التصميم الذي قمنا بانشائه قد تمت اضافته .



* لاضافة ملفات قمنا بتصميمها بشكل مسبق الى المشروع نضغط على add source.



* في نهاية هذه الخطوات يعرض علينا البرنامج ملخصاً كاملا لتفاصيل المشروع المنشأ, نضغط بعدها على Finish للدخول إلى المشروع .



**New Project in ISE**

Verify that **Implementation** is selected from the drop-down list in the Sources window.

----------------------------------------------------------------------------------

-- Company:

-- Engineer:

-- Create Date: 13:11:55 03/23/2011

-- Design Name:

-- Module Name: ff - Behavioral

-- Project Name:

-- Target Devices:

-- Tool versions:

-- Description:

-- Additional Comments:

----------------------------------------------------------------------------------

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating

---- any Xilinx primitives in this code.

--library UNISIM;

--use UNISIM.VComponents.all;

entity ff is

Port ( a : in STD\_LOGIC;

b : in STD\_LOGIC;

c : out STD\_LOGIC);

end ff;

Architecture Behavioral of ff is

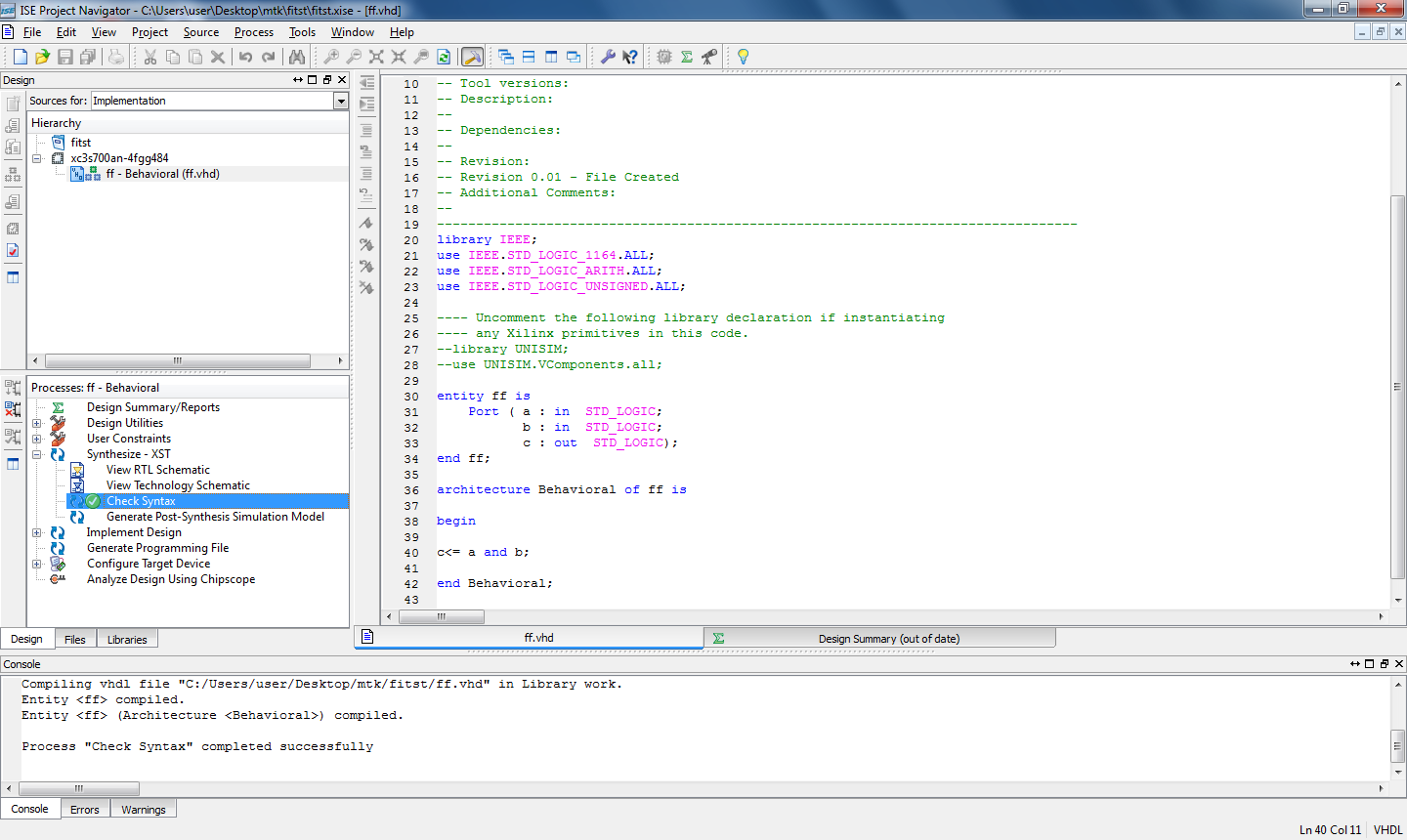
begin

***c<= a and b;***

end Behavioral;

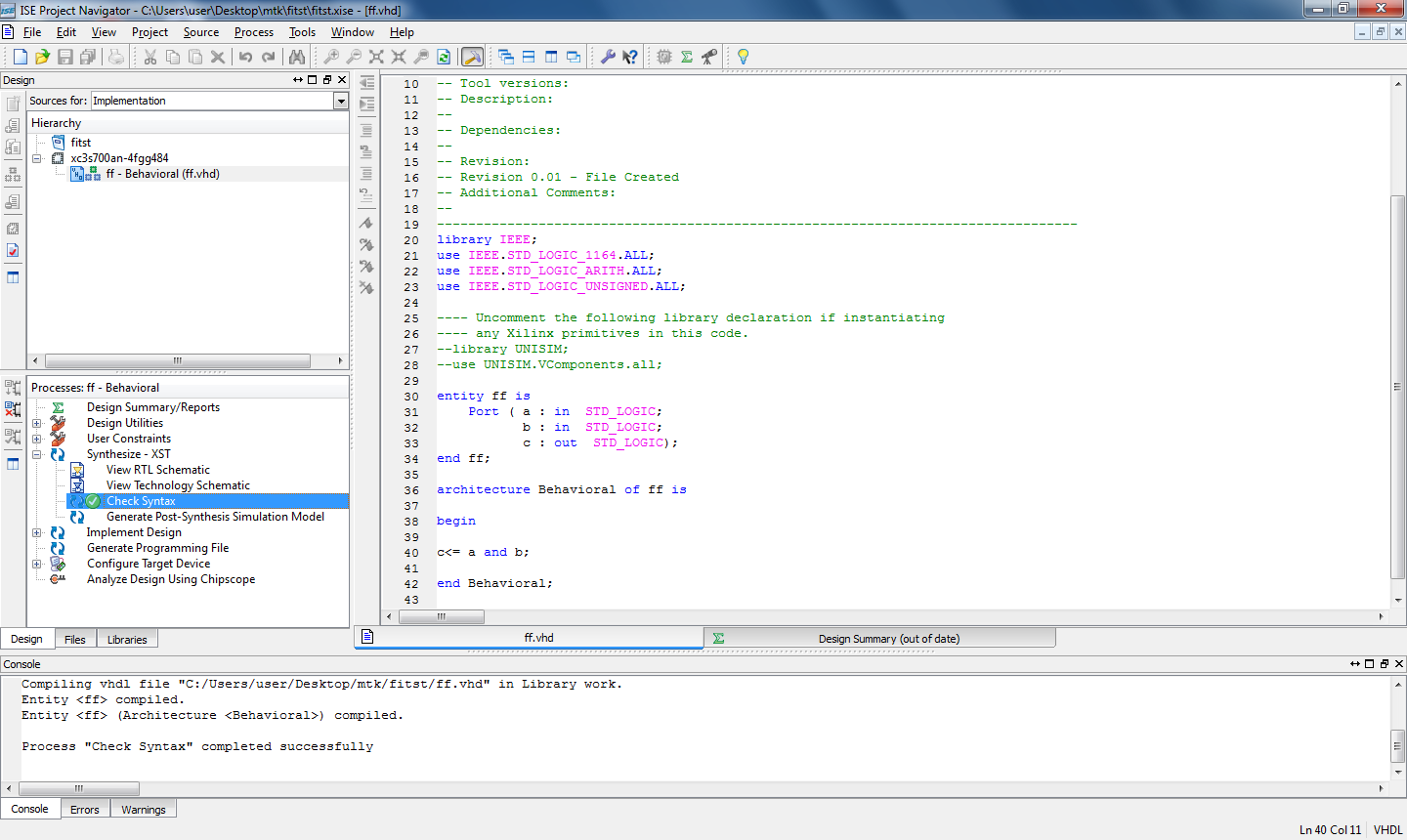
البرنامج بعد اضافة توصيف البنيان الداخلي

و الآن سنبدأ مرحلة الترجمة, والخطوة الأولى هي تحليل تصميم VHDL لتحويل الوصف الى دارة الكترونية .

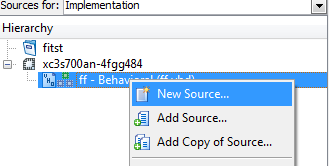


Checking the Syntax of the Module

* Click the “**+”** next to the Synthesize-XST process to expand the process group.
* Double-click the **Check Syntax** process.



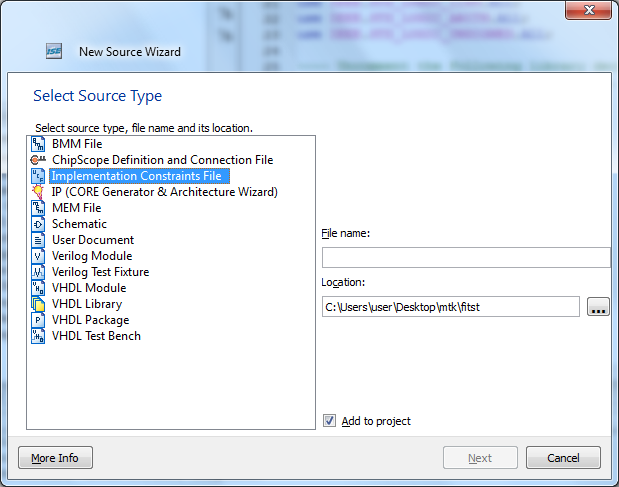
* بعد فحص نموذج VHDL , و التأكد من خلوه من الأخطاء اللغوية و القاعدية ستظهر **علامة خضراء اللون** الى جانب عملية **Check Syntax** , واذا ظهرت لدينا **أخطاء** ضمن نافذة **Console** يجب تصحيحها لكي نتمكن من اكمال عملية تحليل التصميم **synthesize** **design**.



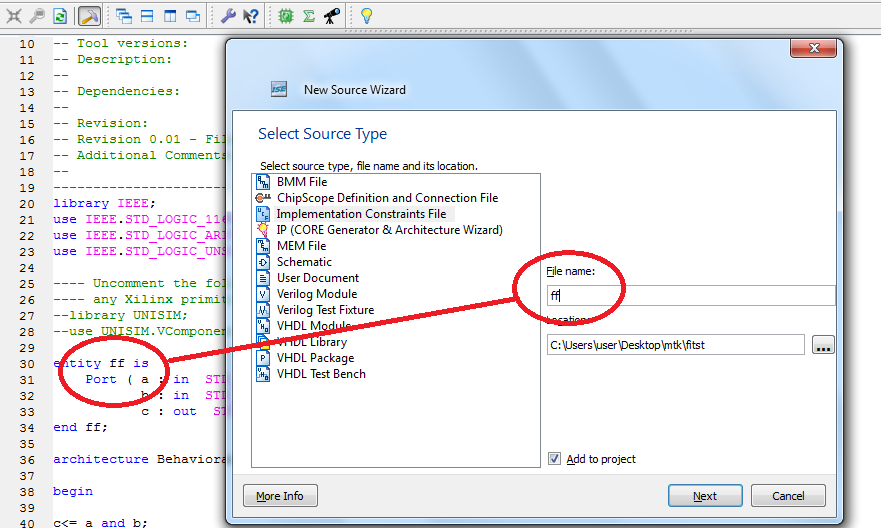
**Add UCF File to Project**

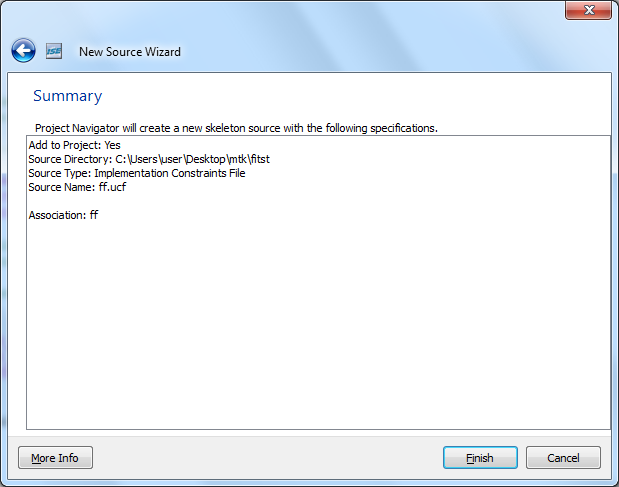
**Note:**

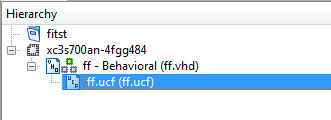
You can also create a **UCF file** **(User Constraints File)** for your project by selecting **Project** → **Create New Source**.

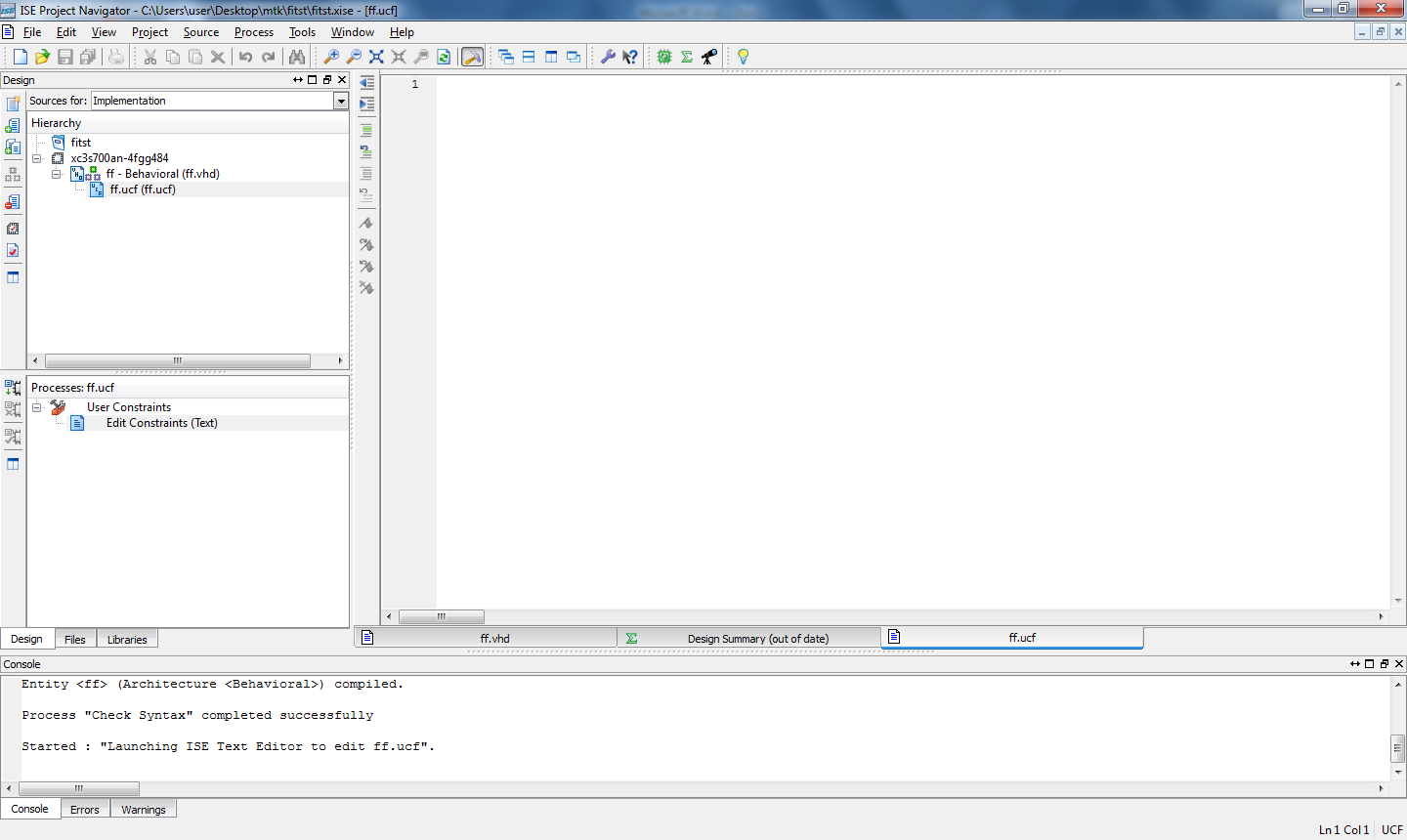


**مرحلة انشاء ملف قيود المستخدم UCF , و اضافته للمشروع**

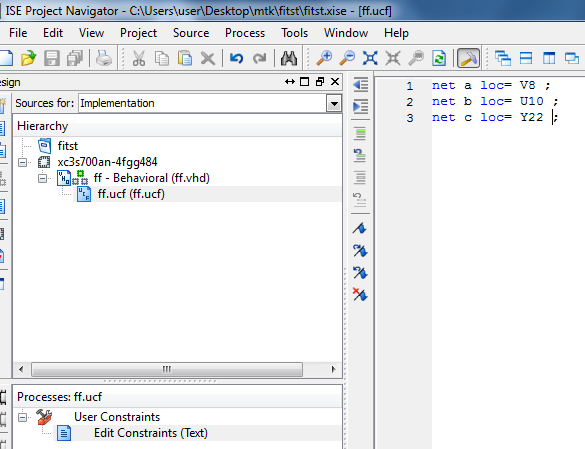




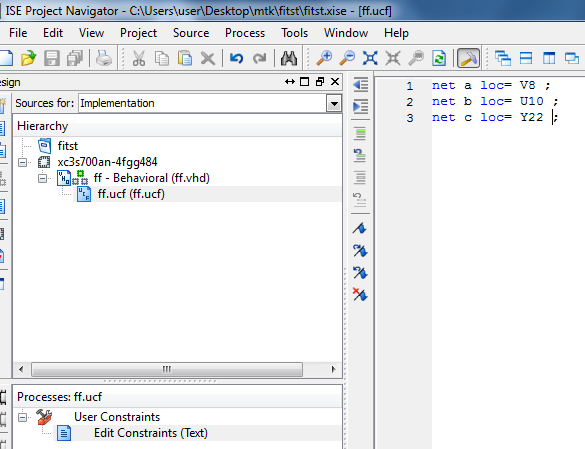




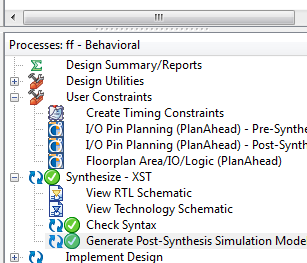
* بعد انشاء ملف UCF سنبدأ بربط FPGA Pins مع مداخل و مخارج نموذج VHDL الذي قمنا بتصميمه و فق التعليمات التالية.



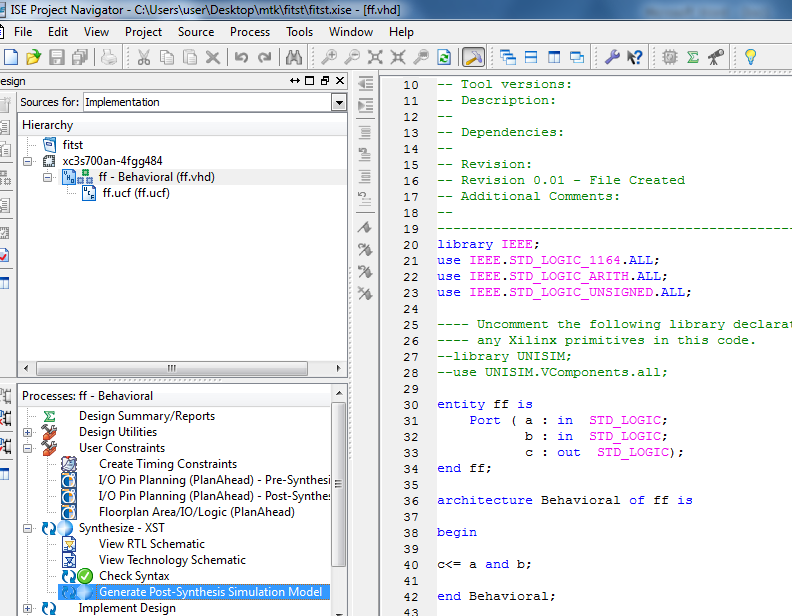
* بعد حفظ الملف سنبدأ عملية بناء التصميم **Implement Design** .

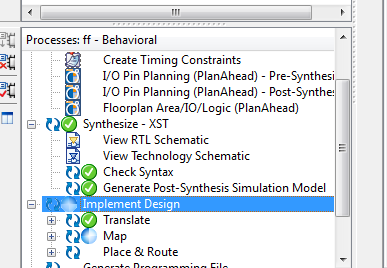


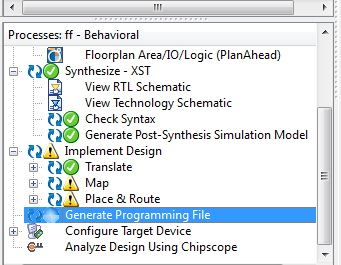
After define the nets & locations we go back to source and check



Double-click the **Implement Design** process in the Processes tab.

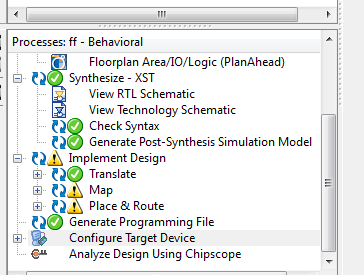




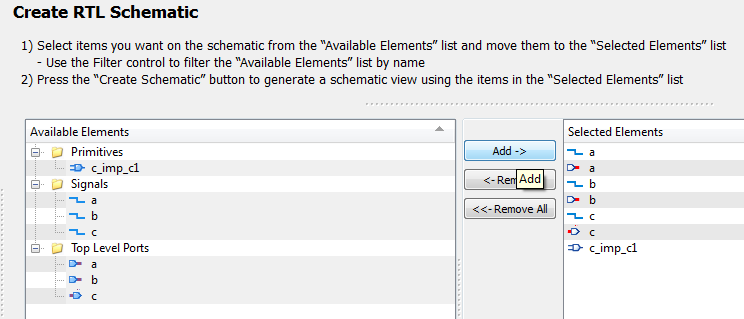


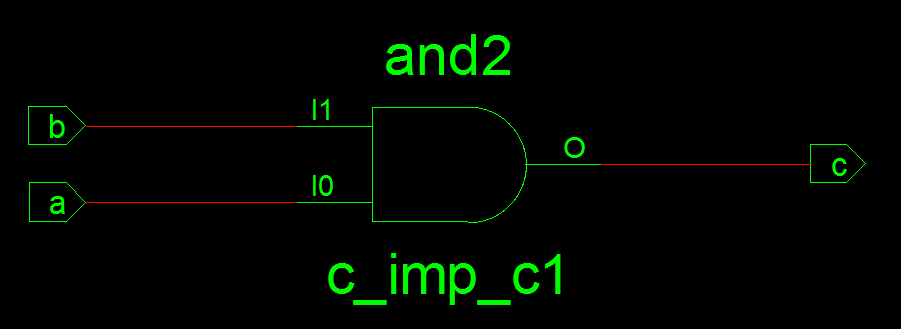
Notice that after Implementation is complete, the Implementation processes have a **green check mark** next to them indicating that they completed successfully without **Errors** or **Warnings**.

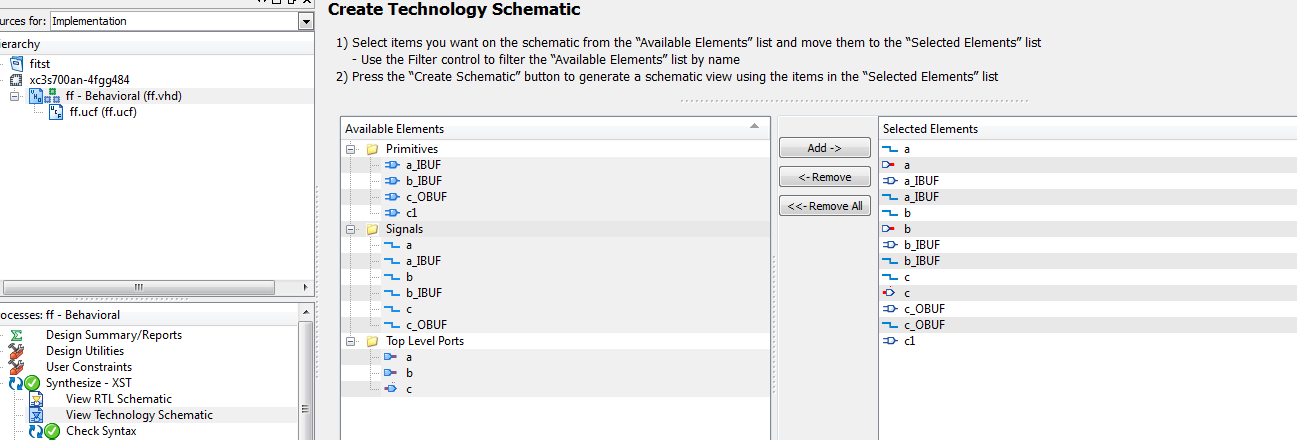
* **مرحلة توليد ملف البرمجة bit stream:** يحتوي ملف البرمجة على كل معلومات تصميم الدارة , وكيف يتم مقابلة التصميم بالموارد الموجودة في (**FPGA**) , وكيف ينبغي أن تتصل المفاتيح الداخلية فيها , وهو الملف الذي يستعمل لبرمجة الشريحة و امتداده **(.bit)** .

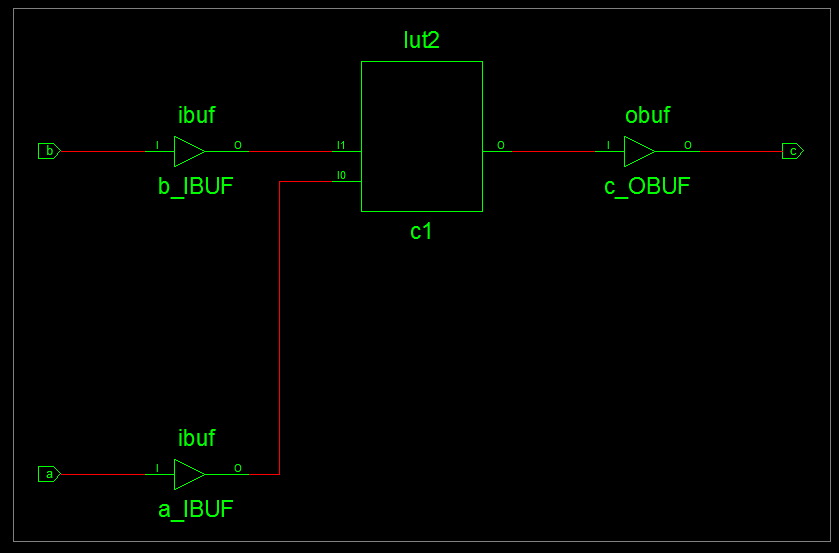


لعرض ناتج التوضع الوظيفي للبرنامج نختار من النافذة processes الخيارSchematic RTL view , و نتبع الخطوات الموضحة بالأشكال التالية :

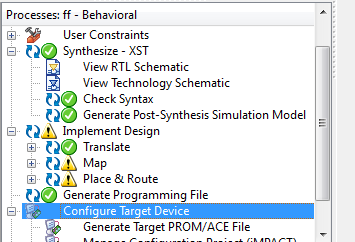


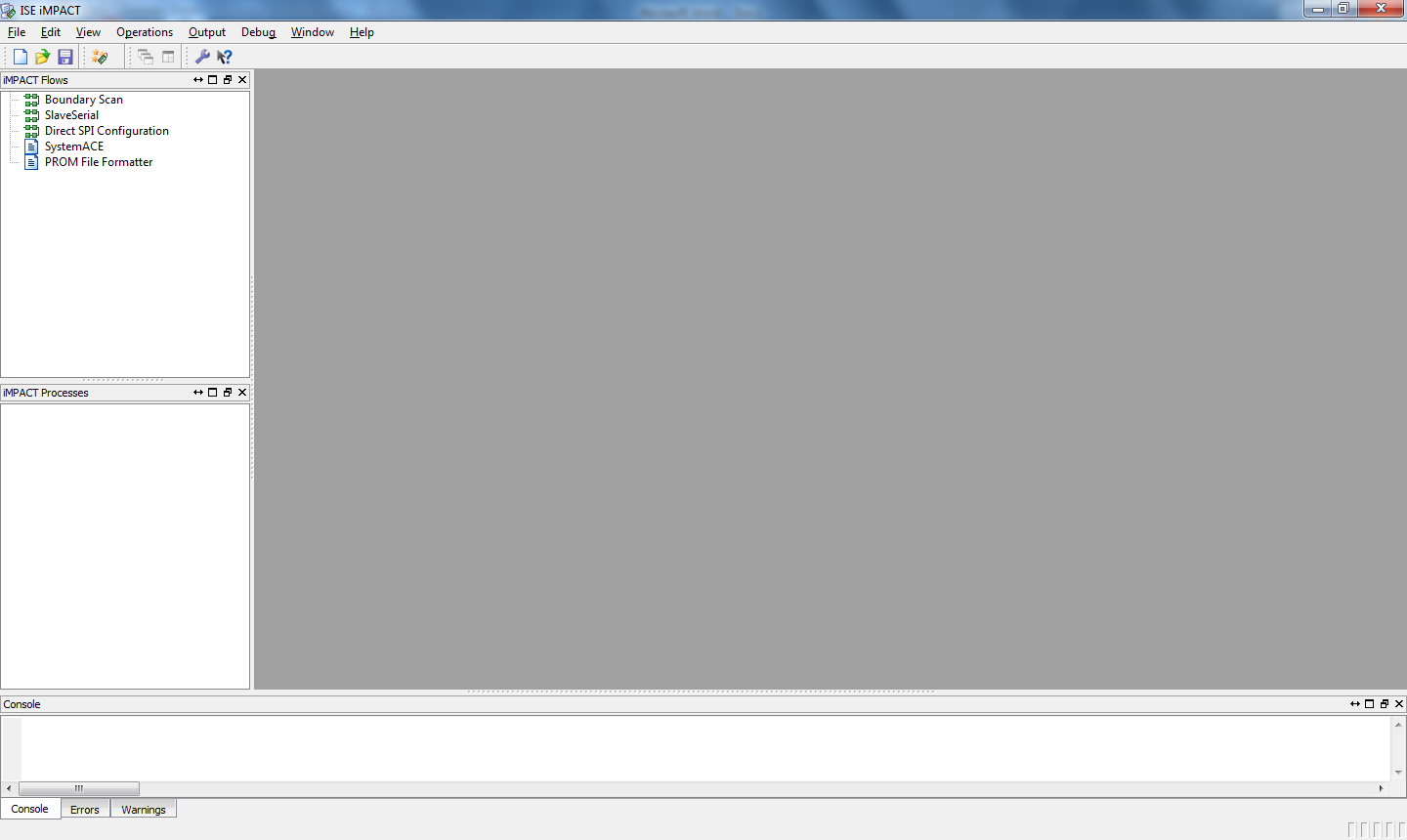






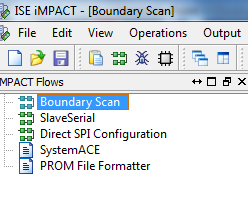
المرحلة الأخيرة هي عملية تحميلDownload) ) البرنامج الى الشريحة, أي عملية برمجة الشريحة , و تتم بالمراحل التالية:



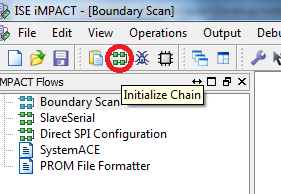


**iMPACT Welcome window**

* In the impact flows box, select **Boundary-Scan (JTAG)**.

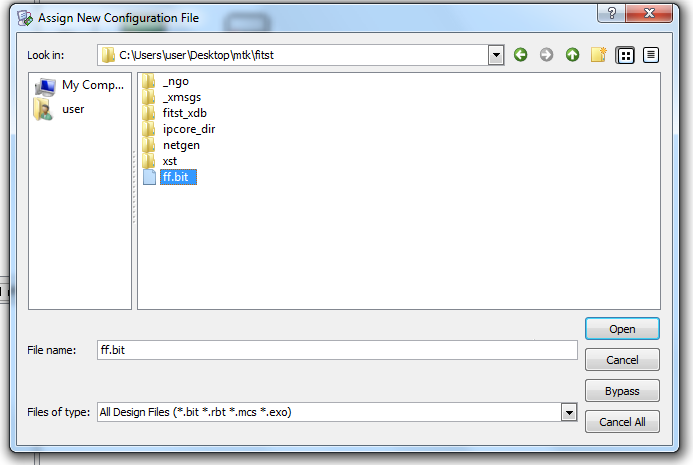


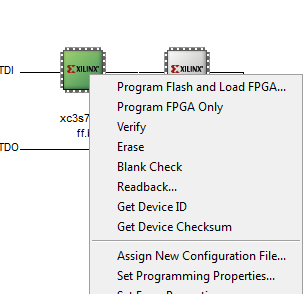
**Configure devices using Boundary-Scan (JTAG)**.



**connect to a cable and identify Boundary-Scan chain**

* The **Assign New Configuration File** dialog box appears. To assign a configuration file to the xc3s700 device in the JTAG chain, select the **ff.bit** file and click **Open**.
* Select **Bypass** to skip any remaining devices.



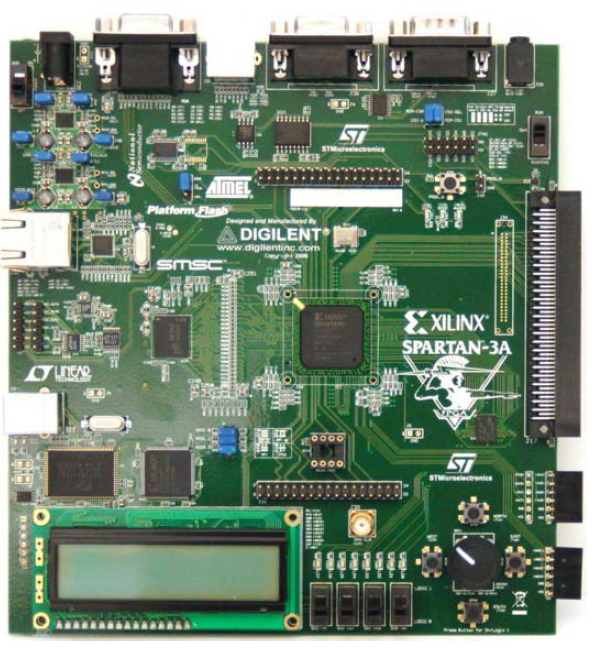


* Right-click on the xc3s700 device image, and select **Program...** The **Programming Properties** dialog box opens.
* Click **OK** to program the device.
* When programming is complete, **the Program Succeeded** message is displayed.



Or from impact processes box.

****

****

والآن نتأكد من صحة عمل النظام الذي قمنا بتصميمه ☺ .